

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-312785  
 (43)Date of publication of application : 09.11.1999

---

(51)Int.CI. H01L 27/04  
 H01L 21/822  
 G11C 5/14  
 G11C 11/413  
 G11C 16/06

---

(21)Application number : 10-120181 (71)Applicant : NEC CORP  
 (22)Date of filing : 30.04.1998 (72)Inventor : OHASHI MASAYUKI

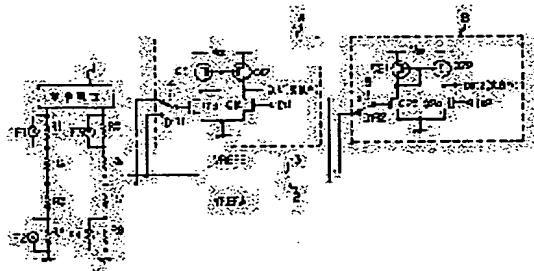
---

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent the input characteristic of a reference-type input first-stage circuit from lacking margin due to shifts in a power supply voltage or a GND level caused by position.

**SOLUTION:** A voltage generated by a reference potential generating circuit 1 is divided into reference potentials VREFA and VREFB by a resistance voltage divider. In reference-type first-stage circuits A and B, an AI wiring is changed into selection circuits 4 and 5 through a master slice method, corresponding to input characteristics to select either of the reference potential VREFA and VREFB. In an evaluation test after a wafer process has been carried out, when the input characteristic of a reference-type input first-stage circuit lacks in margin, fuses F1 to F4 are fused for controlling.




---

## LEGAL STATUS

[Date of request for examination] 30.04.1998  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 3161598  
 [Date of registration] 23.02.2001

THIS PAGE BLANK (USPTO)

---

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-312785

(43)公開日 平成11年(1999)11月9日

(51) Int.Cl.<sup>6</sup>  
H 01 L 27/04  
21/822  
G 11 C 5/14  
11/413  
16/06

識別記号

F I  
H 01 L 27/04 B  
G 11 C 5/14  
11/34 3 3 5 A  
17/00 6 3 4 E  
H 01 L 27/04 F  
審査請求 有 請求項の数 8 O L (全 6 頁)

(21)出願番号 特願平10-120181

(22)出願日 平成10年(1998)4月30日

(71)出願人 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号

(72)発明者 大橋 正幸  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

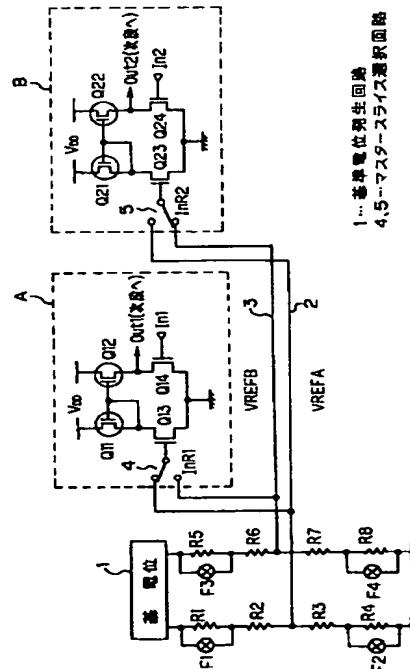
(74)代理人 弁理士 尾身 祐助

(54)【発明の名称】 半導体集積回路およびその製造方法

(57)【要約】

【目的】 リファレンス型の入力初段回路の入力特性が、位置による電源電圧やGNDレベルのシフトによりマージン不足となることを防止する。

【構成】 基準電位発生回路1の発生する電圧をR1～R8からなる抵抗分圧回路で分圧して基準電位V<sub>REF</sub>A, V<sub>REF</sub>Bを形成する。リファレンス型の初段回路A, Bでは、入力特性に応じてマスタースライス方式にて選択回路4、5のA1配線を変更してV<sub>REF</sub>AまたはV<sub>REF</sub>Bの何れかを選択する。ウェハプロセス終了後の評価テストにおいて、入力特性のマージンが不足している場合には、ヒューズF1～F4を溶断して、調節する。



1

## 【特許請求の範囲】

【請求項1】複数の入力初段回路を有し、その入力初段回路がそれぞれ基準電位と入力信号レベルとが比較されるリファレンス型回路によって構成されている半導体集積回路において、基準電位が複数種設けられ、各入力初段回路に入力される基準電位がそれぞれの回路の初段特性に合わせて選択されていることを特徴とする半導体集積回路。

【請求項2】異なる種類の基準電位が、基準電位発生回路の出力する電位を異なる分圧比の抵抗回路によって分圧することによって得られていることを特徴とする請求項1記載の半導体集積回路。

【請求項3】前記分圧比を決定する抵抗回路は、トリミング可能に構成されていることを特徴とする請求項2記載の半導体集積回路。

【請求項4】各入力初段回路毎の基準電位の選択が、接／断を選択することのできる配線において、若しくは、接／断を選択することのできる配線および該配線の接／断によって導通／非導通が制御されるトランスマルチゲートを組み合わせた回路において、前記配線の接／断を選択することによって行われていることを特徴とする請求項1記載の半導体集積回路。

【請求項5】各入力初段回路毎の基準電位の選択が、選択可能なA1配線を選択することによって行われていることを特徴とする請求項1記載の半導体集積回路。

【請求項6】入力信号レベルが基準電位と比較される複数のリファレンス型入力初段回路と、複数の異なる電位の基準電位源と、それぞれの基準電位源に接続された複数の基準電位配線と、を有し、各入力初段回路が何れかの基準電位配線と接続されている半導体集積回路の製造方法において、各入力初段回路と対応する基準電位配線との接続がA1配線形成工程において選択的に行われることを特徴とする半導体集積回路の製造方法。

【請求項7】入力信号レベルが基準電位と比較される複数のリファレンス型入力初段回路と、複数の異なる電位の基準電位源と、それぞれの基準電位源に接続された複数の基準電位配線と、を有し、各入力初段回路が何れかの基準電位配線と接続されている半導体集積回路の製造方法において、各入力初段回路と対応する基準電位配線との接続が、接／断を選択することのできる配線において、若しくは、接／断を選択することのできる配線および該配線の接／断によって導通／非導通が制御されるトランスマルチゲートを組み合わせた回路において、前記配線の接／断を選択することによって選択できるように構成されており、ウェハプロセス終了後の評価に従って前記配線の接／断の選択が行われることを特徴とする半導体集積回路の製造方法。

【請求項8】前記基準電位源が、基準電位発生回路に接続された、トリミング可能な抵抗分圧回路によって構成され、該抵抗分圧回路のトリミングがウェハプロセス

2

終了後の評価に従って行われることを特徴とする請求項6または7記載の半導体集積回路の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路およびその製造方法に関し、特にメモリ等の半導体集積回路におけるリファレンス型の入力初段回路およびその製造方法に関するものである。

## 【0002】

10 【従来の技術】近年、半導体メモリはますます高速化が求められようになっており、そのための様々な工夫が加えられている。クロック、アドレス、データインなどの入力初段回路にインバータ型ではなくリファレンス型のものが用いられるのも高速化に対する工夫の一つである。リファレンス型の初段回路を用いるとインバータ型の初段回路に比べ、動作を1nsec程度高速化することが出来る。

【0003】図4にリファレンス型回路を用いた入力初段回路を示す。リファレンス型入力初段回路は、図4に示されるように、トランジスタQ31、Q33からなるインバータ回路とQ32とQ34から構成されるインバータ回路とを差動的に接続したものであって、基準電位入力端子InR3は、駆動トランジスタQ33のゲートに接続され、信号の入力端子In3は駆動トランジスタQ34のゲートに接続されている。Q32、Q34によって構成されるインバータの出力ノードは出力端子Out3を介して次段へ接続される。なお、図4およびその他の図において、pチャネル型MOSトランジスタは丸で囲まれ、丸で囲まれていないnチャネルMOSトランジスタとは区別できるように表記されている。

【0004】リファレンス型入力回路の特徴はインバータ型のものと比較して動作が速いこと、初段特性(VIH/VIL)を基準電位入力端子InR3に入力されている基準電位(図3のケースではVREF)のレベルを変えることにより簡単に変えられること等が挙げられる。ここでいう初段特性のVIHとは入力信号がLOWからHIに変化する際、その初段回路がHIと感知し次段につながる出力節点がHIからLOWに変化するポイントのことを意味し、またその逆にVILとは入力信号がHIからLOWに変化する際にその初段回路がLOWと感知し次段につながる出力節点がLOWからHIに変化するポイントのことを意味する。

【0005】しかしながら、高速動作が可能なリファレンス型の初段回路はそれだけ敏感であるということもでき、電源VDDやGNDのノイズ(レベルシフト)の影響でその初段特性(VIH/VIL)が変わりやすいことにもなる。そして、その初段回路に影響を及ぼすVDDやGNDのレベルシフトも、それぞれのパッドからの距離の違いや初段回路の近い場所で動作する別の回路が及ぼす影響の違い等レイアウト上の問題で状況は変わってくる。

る。

【0006】図5は、リファレンス型の入力初段回路がA、Bと2台設けられた場合の従来例の回路図である。入力初段回路Aは、トランジスタQ41～Q44により構成され、入力端子In1と次段に接続される出力端子Out1とを有し、入力初段回路Bは、トランジスタQ51～Q54により構成され、入力端子In2と次段に接続される出力端子Out2とを有している。また、それぞれの初段回路の基準電位入力端子には、基準電位発生回路1の発生電圧を抵抗R11とR12によって分圧することによって形成された基準電位VREFが入力されている。各入力初段回路A、Bは、それぞれ電源VDDに接続されると共に、GNDパッド6から延びる接地配線に接続されている。接地配線には配線抵抗RG1、RG2が付いている。図5に示した従来例回路に則して、上述のGNDのレベルシフトの問題を説明すると、GNDパッド6から近い場所に存在する初段回路Aと遠い場所に存在する初段回路Bとでは、GNDの配線抵抗がより多くついている初段回路Bのシフト量が大きくなるということであり、そして、そのシフト量はこのGND配線に接続された回路およびその動作によって影響を受けるということである。図示はしていないが、電源配線についても同様のことがいえる。

#### 【0007】

【発明が解決しようとする課題】高速動作が可能なリファレンス型初段回路では、レイアウト上の問題に起因する電源レベルやGNDレベルのシフト等が原因となる初段特性(VIH/VIL)の変動により、VIH/VIL特性の製品仕様に対してマージンが少なくなったり仕様が満たされなくなってしまう(いわゆるスペックアウト)可能性が高くなる。VIH/VILに対してマージンが少ない初段回路では、入力信号における僅かなノイズに対してもHIからLOW、LOWからHIに変化したとの判断がなされてしまい誤動作を起こす可能性が生じる。

【0008】設計時の評価段階のシミュレーションによって予め電源レベル/GNDレベルのシフトやノイズの状況を調べ、各位置に適合した基準電位を送り込めばよいが、現在主流となっている16M、64Mなどの大規模容量のメモリでは全てのセルの動作を考慮に入れて、全てのタイミングでシミュレーションを行いワーストの条件を見つけるのは、シミュレーションを行うハード的な問題や、設計段階にかけられる工数的な問題から、ほとんど不可能である。そのため、設計段階では見い出しえなかつた実製品上のワースト条件が、製品完成後の評価段階において顕在化することが起こり得、そして場合によってはマージンを確保し誤動作を防止するために大規模な回路修正とマスク修正を行わなくてはならなくなる。したがって、本発明の課題は、上述した従来例の問題点を解決することであって、その目的は、製品

完成後のトリミングによって、若しくは、最小限のマスク変更によって、リファレンス型の入力初段回路が十分大きなマージンをもって動作できるようにすることである。

#### 【0009】

【課題を解決するための手段】本発明による半導体集積回路においては、入力初段回路に入力される基準電位を複数(2種類以上)設け、その接続をヒューズ等を用いた配線選択、またはマスタースライス方式によるA1配線の変更で見えることが出来るようになされている。またその複数種の基準電位のレベルもヒューズ等を用いた抵抗トリミングによって最適値に調整できるようにされている。

#### 【0010】

【発明の実施の形態】次に、本発明の実施の形態を実施例に基づいて詳細に説明する。実際のデバイスでは、入力初段回路はクロック用、アドレス用、データイン用等に多数存在するが、説明の簡素化のために実施例では初段回路が2つ設けられた場合について説明する。図1

20 は、本発明の第1の実施例を示す等価回路図である。図1に示されるように、リファレンス型の入力初段回路Aは、トランジスタQ11～Q14からなる差動回路により構成され、基準電位入力端子InR1、入力端子In1および次段に接続される出力端子Out1を有し、リファレンス型の入力初段回路Bは、トランジスタQ21～Q24からなる差動回路により構成され、基準電位入力端子InR2、入力端子In2および次段に接続される出力端子Out2を有している。また、それぞれの初段回路は、電源VDDとGNDに接続されている。

30 30 【0011】基準電位発生回路1には、初段回路に入力する基準電位を形成するための、R1～R4からなる抵抗分圧回路と、R5～R8からなる抵抗分圧回路が接続されている。そして、抵抗トリミングを可能にするために、R1、R4、R5およびR8には、それぞれヒューズF1、F2、F3、F4が並列に接続されている。ここで、R2、R3とR6、R7とは、それぞれの分圧回路が異なる基準電位を形成できるようにするために、異なる抵抗比に形成されている。それぞれの抵抗分圧回路によって形成された基準電位VREFAとVREFB

40 40 は、基準電位線2、3により初段回路へ伝達される。初段回路A、Bでは、それぞれの回路の特性に合致した基準電位を選択するために、基準電位入力端子InR1、InR2を基準電位線2または3へマスタースライス選択回路4、5により選択して接続する。ここで、マスタースライス選択回路とは、マスタースライス方式にて配線経路を変更することのできる回路のことであって、より具体的には、A1配線形成用のマスクを変更することによって接続先を変更することのできる回路を意味する。

50 50 【0012】上述したように、入力初段回路は、配置さ

れた位置により電源パッドやGNDパッドからの距離が異なり、それに従って電源レベルやGNDレベルのシフト量が異なってくる。このレベルシフト量の差に起因する初段特性の差を是正するために、本実施例においては、図示されたように、A1配線工程において、予め初段回路AのInR1は基準電位線2に接続され、初段回路BのInR2は基準電位線3に接続されている。ここで、基準電位VREFAは、基準電位VREFBより高く設定されているものとする。ウェハ状態での製造工程が完了し、図示された状態に回路が形成された後の評価（ウェハテスト）において、初段回路A、BそれぞれのVIH/VIL特性が測定される。

【0013】この評価において、初段回路Aにおいては、VIHに対してマージンが不足している（入力信号がLOWからHIGHに転じる際に出力信号の反転が標準のものよりも起こりにくい場合）ことが判明した場合には、ヒューズF1を切断して基準電位VREFAを低下させることにより対応する。また、初段回路Bにおいては、VILに対してマージンが不足している（入力信号がHIGHからLOWに転じる際に出力信号の反転が標準のものよりも起こりにくい場合）ことが判明した場合には、ヒューズF4を切断して基準電位VREFBを上昇させることにより対応する。それぞれの初段回路においてマージンの不足する側が逆である場合には、上述したヒューズと逆側のヒューズが切断される。ウェハ段階の評価において、初段回路Aに入力される基準電位がヒューズF1を切断しただけでは足りず、より低い基準電位が望ましいことが判明した場合には、A1配線工程でのマスクを変更することによって、基準電位入力端子InR1がVREFB側へ接続されるようにする。また、初段回路Bに入力される基準電位がヒューズF4を切断した場合よりも高いことが望ましいと判明した場合には、A1配線工程でのマスクを変更することによって、基準電位入力端子InR2がVREFA側へ接続されるように変更する。

【0014】図1に示した回路では、各抵抗分圧回路にヒューズが2本ずつ用いられていたが、より多くの抵抗とヒューズを接続することにより、基準電位をより大きくかつより微細に調整することが可能になる。また、上記の実施例においては、ヒューズを用いて抵抗トリミングを行っていたが、これに代え、レーザ光照射を用いるレーザトリミング法やツェナーダイオードに大電流を流すことによって短絡を起こさせるツェナーザッピングによるトリミングを用いることもできる。

【0015】図2は、本発明の第2の実施例を説明するための等価回路図である。上記第1の実施例では、基準電位入力端子に入力される基準電位は、マスタースライス方式によるA1配線により選択されていたが、本実施例においては、ウェハテストの段階において各初段回路のVIH/VIL特性が測定され、その結果に基づいて

VREFAまたはVREFBの何れかが選択できるように構成されている。すなわち、本実施例では、トランスマゲートTG1またはTG2のいずれかを導通させることによって、基準電位入力端子に入力される基準電位が選択される。トランスマゲートTG1、TG2の導通/非導通は、ヒューズF5、コンデンサC1、トランジスタQ1、インバータIV1、IV2の回路によって制御される。図示された状態では、ヒューズF5が切断されておらず、そのため節点N1がHIGHになる。その結果、節点N2がLOW、節点N3がHIGHとなって、トランスマゲートTG1が導通してVREFAがOutput端子Outに現れ、これが初段の基準入力端子に入力される。ヒューズF5が切断された場合には、各節点のレベルが反転し、トランスマゲートTG2が導通してVREFBがOutput端子Outへ伝達される。

【0016】図3は、本発明の第3の実施例を説明するための等価回路図である。本実施例も第2の実施例の場合と同様にウェハテストの段階で各初段回路のVIH/VIL特性が測定され、その結果に基づいてVREFAまたはVREFBの何れかが選択できるように構成されているが、第2の実施例の場合よりも簡易な回路によって配線選択が実現されている。すなわち、図示された、ヒューズF6が切断されていない状態では、VREFAが基準電位として初段回路に入力される。ウェハテストの評価の結果、VREFB側へ接続することが望ましいと判断された場合には、ヒューズF6が切断され、ツェナーダイオードZDがツェナーザッピングにより短絡される。

#### 【0017】

【発明の効果】以上説明したように、本発明による半導体集積回路は、複数種の基準電位線を設け、各入力初段回路に入力される基準電位を、A1配線の変更によって、若しくは、ウェハテストの結果に基づく配線変更によって選択することができるようとしたものであるので、設計段階で予測できずウェハプロセス終了後の評価工程で見つけられた初段入力特性の不具合を、A1配線のマスクを変更するのみで、若しくは、ウェハプロセス終了後の修正プロセスにおいて簡単に修正することができるようになり、大規模な回路変更とマスク変更を伴うことなく、マージンの不足やスペックアウトの事態を回避することが可能になる。また、その複数の基準電位も、ウェハプロセス終了後の抵抗トリミングによって調整が可能に構成されているため、初段入力特性をより正確にコントロールすることができるようになる。さらに、本発明によれば、クロックの入力初段回路の基準電位を上下にずらすことによってクロックの立ち上がり、立ち下がりタイミングを調整することができるようになり、これにより、クロックで動作される信号の動作マージンを改善することができるという副次的な効果も期待できる。

#### 【図面の簡単な説明】

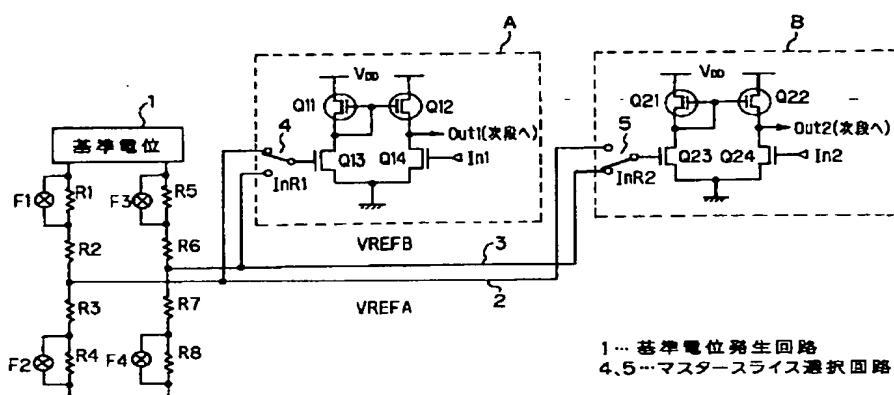
【図1】 本発明の第1の実施例の等価回路図。  
 【図2】 本発明の第2の実施例を説明するための部分回路図。  
 【図3】 本発明の第3の実施例を説明するための部分回路図。  
 【図4】 リファレンス型の入力初段回路の等価回路図。  
 【図5】 従来例の等価回路図。

## 【符号の説明】

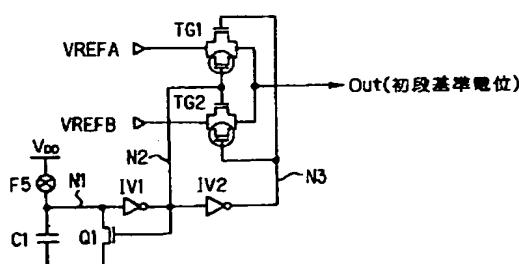
1 基準電位発生回路  
 2、3 基準電位線  
 4、5 マスタースライス選択回路  
 6 GNDパッド  
 A、B リファレンス型初段回路

\* C1 コンデンサ  
 F1～F6 ヒューズ  
 In1～In3 入力端子  
 InR1～InR3 基準電位入力端子  
 IV1、IV2 インバータ  
 N1～N3 節点  
 Out、Out1～Out3 出力端子  
 Q1、Q11～Q14、Q21～Q24、Q31～Q34、Q41～Q44、Q51～Q54 トランジスタ  
 R1～R8、R11、R12 抵抗  
 RG1、RG2 配線抵抗  
 VREF、VREFA、VREFB 基準電位  
 TG1、TG2 トランジスタゲート  
 \* ZD ツェナーダイオード

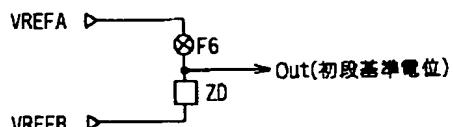
【図1】

1…基準電位発生回路  
4,5…マスタースライス選択回路

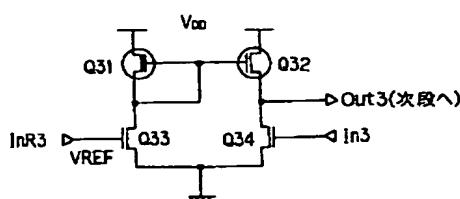
【図2】



【図3】



【図4】



【図5】

